

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-007163

(43)Date of publication of application : 14.01.1987

(51)Int.CI.

H01L 29/74

(21)Application number : 60-146300

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 03.07.1985

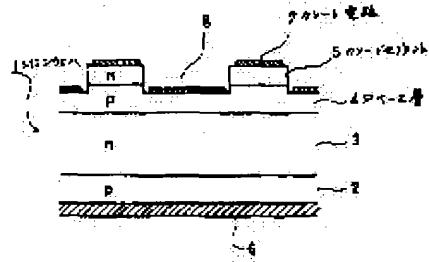
(72)Inventor : KIRIHATA FUMIAKI

(54) MANUFACTURE OF GATE TURN OFF THYRISTOR

(57)Abstract:

PURPOSE: To improve the maximum controllable current by setting a segment of the side of low ON voltage near a segment which exhibits the lowest ON voltage of segments of an emitter layer to a disable state, thereby increasing the number of the segments of low ON voltage concentrated with current at turning OFF time.

CONSTITUTION: A silicon wafer 1 has a p-type emitter layer 2, an n-type base layer 3, a p-type base layer 4, and an n-type emitter layer 5, and the layer 5 is formed as many insular projection segments surrounded by the layer 4. The segment having high ON voltage is quickly turned OFF as compared with the segment having low ON voltage at turning off time, and a current flows to the segment having low ON voltage. The number of the segments having low ON voltage controls the highest controllable current of a GTO thyristor. When the ON voltage is measured, the segment having lower ON voltage is not connected by a common cathode contacting electrode by cutting the cathode electrode 7 of the segment or coating with an insulating film, thereby disabling the operation. Thus, the number n1 of the segment having lower ON voltage is relatively increased as compared with the number n2 of the segment having higher ON voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A) 昭62-7163

⑬ Int. Cl.
H 01 L 29/74識別記号
厅内整理番号
7216-5F

⑭ 公開 昭和62年(1987)1月14日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 ゲートターンオフサイリスタの製造方法

⑯ 特 願 昭60-146300

⑰ 出 願 昭60(1985)7月3日

⑱ 発明者 桐畠 文明 川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出願人 富士電機株式会社 川崎市川崎区田辺新田1番1号

⑳ 代理人 弁理士 山口 嶽

明細書

1. 発明の名称 ゲートターンオフサイリスタの
製造方法

2. 特許請求の範囲

1) 半導体基体の一表面に分散配置されたエミッタ層のセグメントが隣接するベース層に囲まれているゲートターンオフサイリスタの各エミッタ層セグメント毎にオン電圧を測定し、セグメントのうちオン電圧の最小に近い側の一部を除いたセグメントのみを主端子に接続することを特徴とするゲートターンオフサイリスタの製造方法。

3. 発明の詳細な説明

【発明の属する技術分野】

本発明は、半導体基体の一表面に分散配置されるエミッタ層のセグメントに慣れる主電流を、セグメントを取り囲むベース層の領域に偏えられたゲート電極から引き抜くゲートターンオフ(以下GTOと記す)サイリスタの製造方法に関する。

【従来技術とその問題点】

GTOサイリスタは最大可制御電流の大きいこ

とが望まれる。GTOサイリスタの最大可制御電流を向上させる方法として、従来は半導体基体としてのシリコングエハの厚さを増大させることや、ゲートインピーダンスをベース層のシート抵抗を減らすことによって小さくすることが行われてきた。エハの厚さを増大させると熱容量が大きくなつて可制御電流は大きくなるが、オン電圧が高くなるためライフタイムキラーの導入が制限され、その結果スイッチングロスが増大する。一方、ベース層のシート抵抗を減らすとサイリスタの逆耐圧が落ちるので限度があり、いずれにしても最大可制御電流の大軒な向上は期待できない。

【発明の目的】

本発明はこれに対して素子の電気的特性を損なうことなく、最大可制御電流を向上せしめたGTOサイリスタの製造方法を提供することを目的とする。

【発明の要点】

本発明は、エミッタ層のセグメント間にオン電圧のばらつきがあり、最大可制御電流はオン電圧

の低いセグメントの本数に支配されるとの認識に基づき、各セグメント毎にオン電圧を測定し、セグメントのうちオン電圧の最小に近い個の一部を除くセグメントのみを主端子と接続することによって上記の目的を達成する。

【発明の実施例】

以下図を引用して本発明の根柢となる実験結果および実施例について説明する。第2図はGTOサイリスタの断面構造を示し、シリコンウエハ1はドエミッタ層2、ドベース層3、ドベース層4、ドエミッタ層5の4層を有し、ドエミッタ層5はドベース層4に囲まれた多段の島状突出セグメントとして形成されている。ドエミッタ層2、ドエミッタ層5およびドベース層4にはそれぞれアノード電極6、カソード電極7およびゲート電極8が被着されている。図示しないがアノード電極6、カソード電極7は、例えば加圧接触電極体を介してそれぞれ主端子に接続される。このようなGTOサイリスタは、カソード電極7に対してアノード電極6の電圧が正の時、カソード電極7とゲート

み、電流の集中が起こるので、オン電圧の低いセグメントのターンオフがますます遅れる。このことはオン電圧の低いセグメントの数が、GTOサイリスタの最大可制御電流を支配していることを示唆している。

今、オン電圧の低いセグメントの数を n_1 個、オン電圧の高いセグメントの数を n_2 個とする。セグメント1本の真の最大可制御電流を I_0 とし、オン電圧に依存しないと仮定すると、GTOサイリスタの最大可制御電流が I_0 は、

$$I_0 = \frac{1}{n_1 + n_2} = \frac{n_1}{n_1 + n_2} I_0 \quad \text{---(1)}$$

と表わせる。みかけのセグメント1本当たりの最大可制御電流 I_0 は、(1)式を用いて次のように示すことができる。

$$I_0 = \frac{1}{n_1 + n_2} = \frac{n_1}{n_1 + n_2} I_0 \quad \text{---(2)}$$

$n_1 + n_2$ を大きくとればオン電圧の分布の裾野が広がり、 n_1 の数が相対的に n_2 に比して増すため $n_1 / n_1 + n_2$ が小さくなる。 I_0 が知られていれば、第3図に示す実測値から(2)式により

ト電極8の間でゲート電極8に電流を流し込むとオフ状態からオン状態に移行し、反対にゲート電極8から電流を引き抜くとオン状態からオフ状態に転ずる。

第3図に、第2図に示すような島状突出部からなるカソードセグメントの本数とセグメント1本当たりに換算した最大可制御電流(GTOサイリスタの最大可制御電流をセグメント本数で割った値)の関係を○印で示す。セグメント1本当たりの最大可制御電流は、みかけ上セグメント本数がふえるとともに減少している。これは、セグメントの間でそのオン電圧にばらつきがあることによると考えられる。オン電圧の低いセグメントには、定常オン状態においてさえも他のオン電圧の高いセグメントに比べて大きな電流が流れている。ターンオフ時には、オン電圧の高いセグメントはもともと少ない電流しか流れていないので、オン電圧の低いセグメントに比べ早くターンオフに転じる。するとオン電圧の高いセグメントに流れていた電流が、オン電圧の低いセグメントに流れ込

み、電流の集中が起こるので、オン電圧の低いセグメントのターンオフがますます遅れる。このことはオン電圧の低いセグメントの数が、GTOサイリスタの最大可制御電流を支配していることを示唆している。

第4図にセグメントのオン電圧の分布の一例を示す。オン電圧が最小のセグメントから0.2V高いオン電圧を持つセグメントまでのセグメントの総数をオン電圧の低いセグメントの本数 n_1 として計算すると、最大可制御電流から20~30A程度の電流 I_0 の値が得られる。第3図の●印はこの値と他のGTOサイリスタ試料でのオン電圧の実測値とに基づいて計算したセグメント1本当たりの最大可制御電流を示し、実験値と計算値はよい一致を示している。このことは最大可制御電流を支配するセグメントがオン電圧最小のものから0.2V高いオン電圧のものまであるとの仮定がほぼ正しいことを示す。

従って本発明によって、各セグメントごとに2

端子法あるいは4端子法でオン電圧を測定し、オン電圧の低い側のセグメントを、例えばセグメントのカソード電極を削りとるか絶縁膜で覆うことによって共通カソード接触電極体によって接続されないようにし、動作不能にすれば、オン電圧の低い方の側のセグメントの数 n_1 が高い方の側のセグメントの数 n_2 に対して相対的に増加し、 n_1/n_2 の減少の割合にくらべて $n_1/n_1 + n_2$ の値の増加する割合が大きくなることは、第4図の0.2Vの範囲のオン電圧にあるセグメント数の分布から見て明らかである。

第1図は本発明によりセグメントを動作不能にしたオン電圧の範囲とGTOサイリスタとしての最大可制御電流の関係を示す。横軸のオン電圧の範囲は、オン電圧分布のピークの位置にあるオン電圧と最小のオン電圧との幅を1として、最小のオン電圧から何ボルト高い所までのオン電圧を持つセグメントを動作不能にしたかを示すものである。すなわち、オン電圧範囲をわずか2%動作不能にしただけで、最大可制御電流は20%

も増加する。

【発明の効果】

本発明によれば、ベース層に囲まれたエミッタ層のセグメントのうち最小オン電圧を示すセグメントに近いオン電圧の低い側のセグメントを動作不能の状態にすることにより、ターンオフ時に電流の集中するオン電圧の低いセグメントの数を増加させて、GTOサイリスタの最大可制御電流を増大させることができ、GTOサイリスタの最大可制御電流の大幅な向上が得られる。

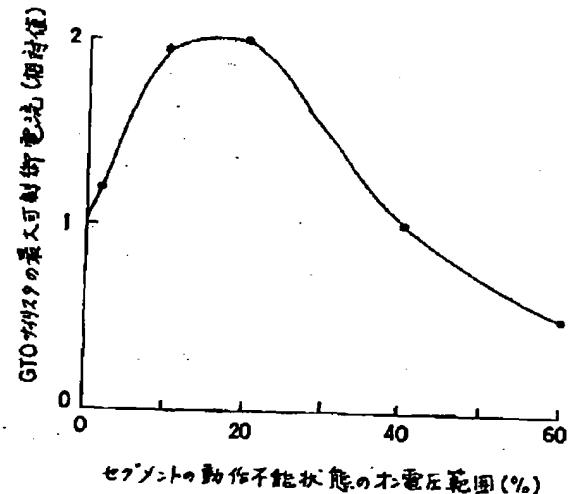
4. 図面の簡単な説明

第1図は本発明により動作不能状態にされるカソードセグメントのオン電圧範囲によるGTOサイリスタの最大可制御電流の変化を示す線図、第2図は本発明の実施されるGTOサイリスタの要部断面図、第3図はGTOサイリスタのセグメント1本当たりの最大可制御電流とセグメント本数との関係線図、第4図はGTOサイリスタのカソードセグメントのオン電圧分布曲線である。

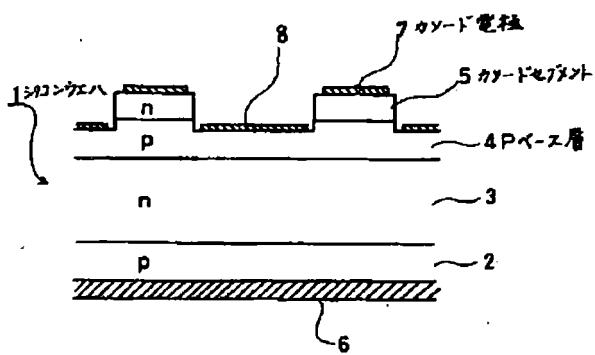
1:シリコンウエハ、4: pベース層、5:カ

ソードセグメント、7:カソード電極。

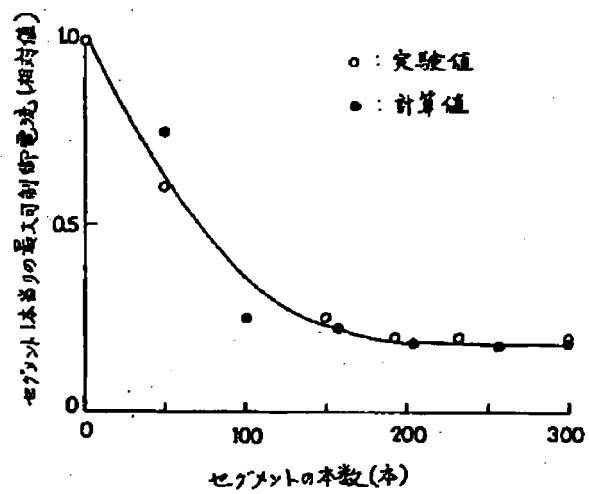
特開62-7163(3)
山口



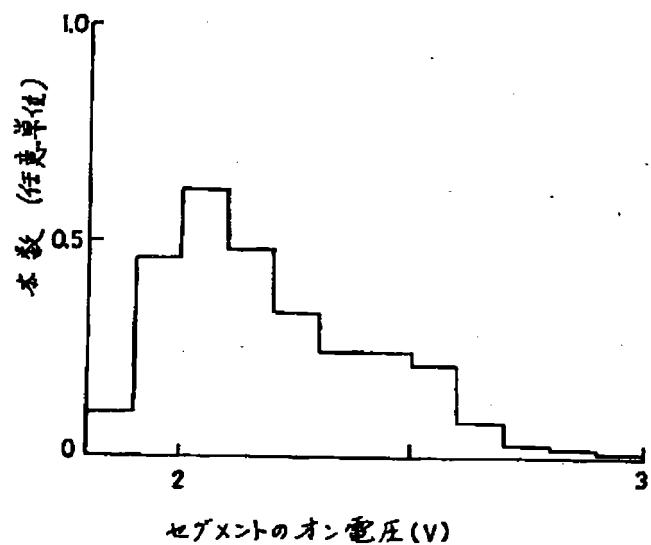
第1図



第2図



第3図



第4図